

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-011668

(43)Date of publication of application : 14.01.2000

(51)Int.CI. G11C 16/02
G11C 16/06

(21)Application number : 10-170135 (71)Applicant : OKI MICRO DESIGN:KK
OKI ELECTRIC IND CO LTD

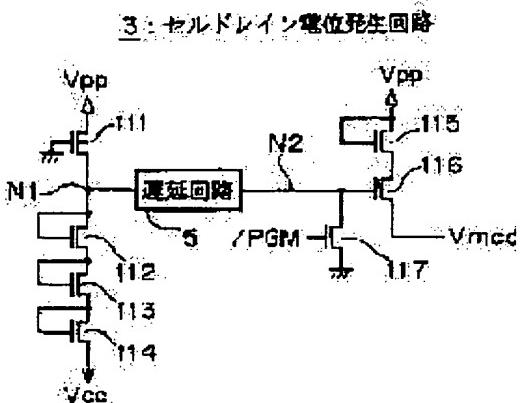
(22)Date of filing : 17.06.1998 (72)Inventor : NAGATOMO MASAHIKO

(54) DATA WRITING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data writing circuit capable of stably writing predetermined data into a memory cell to be selected, while preventing wrong data from being written into a non-selected memory cell.

SOLUTION: A cell drain potential generating circuit 3 is composed of one P-channel transistor 111, six N-channel transistors 112, 113, 114, 115, 116, 117, and a delay circuit 5. A node N1 is connected to an input-side of the delay circuit, and a potential generated at the node N1 is delayed by a predetermined time period and then supplied to a node N2 at an output-side. A cell drain potential V_{mcd} as an output of the cell drain potential generating circuit is to be output from a source electrode of the N-channel transistor 116 controlled by the delay circuit. According to the above-mentioned configuration, the cell drain potential V_{mcd} is allowed to gently rise to a writing potential V_{pp} .



LEGAL STATUS

[Date of request for examination] 04.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP) (12) 公開特許公報 (A) (11) 特許出願公開番号
特開2000-11668
(P2000-11668A)

(43) 公開日 平成12年1月14日 (2000.1.14)
(51) Int.Cl.
G 11 C 16/02
G 11 C 16/06
F 1
G 11 C 17/00
16/06
6 01 Q
6 34 F
6 11 F
5 B 02 S
テロード (参考)

等査請求 未査求 査査請求の数 7 OI (全 12 頁)
(2) 出願番号 特願平10-170135
(22) 出願日 平成10年6月17日 (1998.6.17)
(71) 出願人 591048893
株式会社 神マイクロデザイン
宮崎県宮崎市大和町9番2号 株式会社
(74) 代理人 1000000285
神電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(72) 発明者 原友 雅彦
マイクロデザイン宮崎内
并理士 岩谷 美明 (外2名)
F ターム (参考) 5B02S A01 A001 A004 A015 A015
A008 A008
A009 A009

(54) [発明の名称] データ書き込み回路

(57) [要約]

[概要] 選択されるメモリセルに対して所定のデータを安定制に書き込むとともに、選択されていないメモリセルに対して誤ったデータが書き込まれることのないデータ書き込み回路を提供する。
[解説段階] セルドライバ回路3は、1個のNチャネル型トランジスタ111、6個のNチャネル型トランジスタ112、113、114、115、116、117、および選延回路5から構成されている。ノードN1には、選延回路の入力側が接続されており、ノードN1に発生する電位を所定の時間遅延させて出力側のノードN2に供給する。セルドライバ回路の出力側から出力することになる。かかる構成にすれば、セルドライバ回路V_{mc}dは、書き込み電位V_{pp}までやかに立ち上がることになる。

(58) [発明の詳細な説明]

[発明の概要] 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

[0001] [発明の概要] 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

[0002] [発明の概要] 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

[0003] [発明の概要] 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

[0004] [発明の概要] 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

[0005] [発明の概要] 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

[0006] [発明の概要] 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

[0007] [発明の概要] 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

[0008] [発明の概要] 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

[0009] [発明の概要] 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

[従来の技術] EEPROM (EEPROM) は、「ROM」という。に備えられた從來のデータ書き込み回路101を図12に示す。このデータ書き込み回路101は、m+1本のセルドライバ回路DLM₀～DLM_mから一のセルドライバ回路を選択するためのm+1個のセルドライバ回路選択トランジスタDT₀～DT_mを備えたサブアレイをn+1個有する。いわゆるサブアレイ方式のROMに備えられるものである。

[0003] n+1個のサブアレイSA₀～SA_nは、相互に駆動の構成をしており、それぞれm+1個のセルドライバ回路選択トランジスタDT₀～DT_mおよび(m+1) × (n+1) 個のメモリセルMC₀～MC_{Mn}から構成されている。

[0004] セルドライバ回路発生回路103は、セルドライバ回路Vmcdを各サブアレイSA₀～SA_nに備えられたm+1個のセルドライバ回路選択トランジスタDT₀～DT_mのドライバ回路に対して供給するよう構成されている。

[0005] また、各サブアレイSA₀～SA_nにはサブアレイバイバ104～0～104～nが接続されており、各サブアレイバイバ104～0～104～nは、サブアレイ選択信号ASL₀～ASLnにに対して所定の電位を山口可能なよう構成されている。

[0006] 各サブアレイSA₀～SA_nに備えられたメモリセルMC₀～MC_{Mn}は、マトリクス状に配置されおり、これらのメモリセルMC₀～MC_{Mn}を構成するトランジスタの各ゲート電極は、行海に電気的に接続されワード線WL₀～WL_nに接続されている。また、これらの各ドライバ回路は、列海に電気的に接続されている。さらには、各ソース電極は、列海に接続されており、これらは各セルドライバ回路DLM₀～DLM_mに接続されている。

[0007] さらに前記制御回路は、所定の信令によって前記制御電位を所定のレベルに固定する電位レベルデータ書き込み回路。

[0008] [請求項1] 前記所定の信号は、前記複数のメモリセルへのデータの書き込みの際にアクティブとなるワンショットバルス信号であることを特徴とする請求項5に記載のデータ書き込み回路。
[0009] [請求項2] 前記所定の信号は、前記複数のメモリセルへの所定のデータの書き込みの際にアクティブとなるワンショットバルス信号であることを特徴とする請求項7に記載のデータ書き込み回路。
[0010] [請求項3] 前記所定の信号は、前記複数のメモリセルへのデータの書き込みの際にアクティブとなるワンショットバルス信号であることを特徴とする請求項1～3に記載のデータ書き込み回路。

[0011] [請求項4] 前記複数のメモリセルへの所定のデータの書き込み電位を山口可能なよう構成するトランジスタと、前記複数のメモリセルを構成するトランジスタの第1電極電位供給トランジスタと；を備えたデータ書き込み回路と；を備えた第1電極電位供給トランジスタにおいて、前記制御回路は、前記第1電極電位供給トランジスタの動作を制御する制御電位の出力を選延させる選延回路を備えたことを特徴とするデータ書き込み回路。

[0012] [請求項5] さらに前記制御回路は、所定の信号によって前記制御電位を所定のレベルに固定することを特徴とする請求項4に記載のデータ書き込み回路。

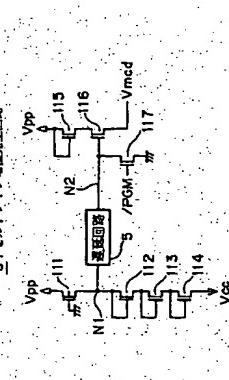
[0013] [請求項6] 前記所定の信号は、前記複数のメモリセルへの所定のデータの書き込みの際にアクティブとなるワンショットバルス信号であることを特徴とする請求項5に記載のデータ書き込み回路。

[0014] [請求項7] 前記所定の信号は、前記複数のメモリセルへの所定のデータの書き込みの際にアクティブとなるワンショットバルス信号であることを特徴とする請求項7に記載のデータ書き込み回路。

[0015] [請求項8] 本発明について説明する。このセルドライバ回路発生回路103は、図13に示すように、1個のNチャネル型トランジスタ111、および6個のNチャネル型トランジスタ112、113、114、115、116、117から構成されている。そして、セルソース線選択トランジスタST₀～ST_mは、各ゲート電極に入力されるカラム選択信号Y₀～Y_mによって所定の1つが選択される。

[0016] 1次に、セルドライバ回路発生回路103の回路構成について説明する。このセルドライバ回路発生回路103は、図13に示すように、1個のNチャネル型トランジスタ111、および6個のNチャネル型トランジスタ112、113、114、115、116、117から構成されている。

[0017] [請求項9] Pチャネル型トランジスタ111のソース



対して隣ったデータが書き込まれることのない新規かつ改良されたデータ書き込み回路を提供することにある。

【0 0 1 9】

【誤題を解消するための手段】上記課題を解決するためには、メモリセルへの所定のデータの書き込みのみの際に、メモリセルを構成するトランジスタの第1電極に対して所定の電流を供給する第1電極電位発生回路を備えたデータ書き込み回路が提供される。そして、このデータ書き込み回路に備えられた第1電極電位発生回路によって第1電極の電位の立ち上がり時間と遅延時間を遅らせることで、所定の電位の立ち上がり時間と遅延時間を備えたことを特徴とする。かかる構成によれば、メモリセルを構成するトランジスタの第2電極側に寄生的に電流成分が形成された場合であっても、第1電極に所定の電位が急激に印加されることではなく、メモリセルに対する過剰的な電流の流れ込みを防ぐことができる。

【0 0 1 5】

【発明が解決しようとする課題】ところで、近年、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセルを増加させるとともに、サブアレイの数も増加させる傾向にある。これに伴い各セルソース線 V_{SS} はノード N_{101} が後続され、3段目のノード N_{101} が後続され、(例えば、4V) が印加されている。すなわち、Nチャネル型トランジスタ T_{11} が選択され、このように選択されたサブアレイ V_{DD} に電力を供給する。そして、Nチャネル型発生回路としての段割を果たすものである。また、Nチャネル型トランジスタ T_{11} は、タオード端成を成すものであり、カソードとなるドライン電極およびゲート電極には書き込み電位 V_{DD} が印加され、アノードとなるソース電極には、Nチャネル型トランジスタ T_{11} のドライン電極が接続されている。また、Nチャネル型トランジスタ T_{11} は、そのドライン電極がノード N_{101} に接続され、ソース電極にはグランド電位 GND が印加され、ゲート電極に入力される書き込み制御信号 $/TGM$ によってオン/オフ制御される。そして、Nチャネル型トランジスタ T_{11} のゲート電極は、ノード N_{101} が後続されており、セルドライン電位発生回路 N_{103} の出力であるセルドライン電位 V_{m} は、このNチャネル型トランジスタ T_{11} においては、ソース電極から川かきされることになる。

【0 0 1 0】次に、サブアレイドライバ $104-0-104-0-104-0-n$ の回路構成について説明する。このサブアレイドライバ $104-0-104-0-n$ は、相互に同一の回路構成をしており、ここでは代表的にサブアレイドライバ $104-0-n$ を用いて説明する。サブアレイドライバ $104-0-n$ は、図14に示すように、2箇のインバータゲート T_{121} 、 T_{122} 、および2箇の二重施設型トランジスタ (T_{123} 以下、「DTランジスタ」という。) T_{123} 、 T_{124} から構成されている。インバータ T_{123} およびインバータ T_{124} は、直列に接続されており、アドレス信号 A_n とドトランジスタ T_{123} のドライン電極に供給するものである。

【0 0 1 4】選択されたメモリセル M_{C01} に対して、レベルのデータを書き込む場合、制御信号 D_{11n} によってトランジスタ T_{105} がオフ状態とされ、これによつてメモリセル端子 GND を構成するトランジスタのソース電極には、ゲート電位 GND が印加されることになる。また、Dトランジスタ T_{123} は、ダイオード形式で構成されており、カソードとしてのドライン電極およびインバータ T_{123} が印加されたアドレス信号 A_n をノード N_{102} へ供給するよう構成されている。また、Dトランジスタ T_{124} は、ダイオード形式で構成されており、カソードとしてのドライン電極およびゲート電極には、書き込み電位 V_{DD} が印加され、(サブアレイドライバ $104-0-n$ によって構成されるトランジスタのソース電極) $\cong 6 \text{ V}$ が印加される。なお、ここではNチャネル型トランジスタのソース電極が印加されることによる。

【0 0 1 1】そして、Dトランジスタ T_{123} は、書き込み制御信号 $/V_{\text{DD}}$ によって構成されるメモリセル M_{C01} に対して、制御信号 D_{11n} によってトランジスタ T_{105} がオフ状態とされると、アノードとしてのソース電極は、ノード N_{102} に接続される。そして、ノード N_{102} からサブアレイ選択信号 A_{11n} に対して所定の電位が印加される。

【0 0 1 2】以上の構成を有する從前のデータ書き込み回路は、上記のような構成があつた場合であつても、アバランシエ降低が生じることなく、ポートアレイドライバ $104-0-n$ には、ホットエレクトロンが挿入され

ず、結果的にメモリセル M_{C01} に対して日レベルのデータが書き込まれることになる。

【0 0 1 6】

【発明が解決しようとする課題】ところでは、近年、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセルを増加させるとともに、サブアレイの数も増加させる傾向にある。これに伴い各セルソース線 V_{SS} はノード $S_{1.0}$ が後続され、2段目のノード $S_{1.0}$ が後続され、(例えば、4V) が印加され、(Nチャネル型トランジスタのスレーシヨルド電位 V_{I}) が印加される。そして、このデータ書き込み回路が提供された第1電極電位発生回路によって第1電極の電位の立ち上がり時間と遅延時間を遅らせることで、所定の電位の立ち上がり時間と遅延時間を備えたことを特徴とする。かかる構成によれば、メモリセルを構成するトランジスタの第2電極側に寄生的に電流成分が形成された場合であっても、第1電極に所定の電位が急激に印加されることではなく、メモリセルに対する過剰的な電流の流れ込みを防ぐことができる。

【0 0 1 7】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が実現されることになる。

【0 0 1 8】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されるデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 9】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されたデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 10】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されたデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 11】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されたデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 12】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されたデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 13】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されたデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 14】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されたデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 15】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されたデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 16】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されたデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 17】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されたデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 18】

【発明が解決しようとする課題】ところでは、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセル M_{C01} に対して日レベルのデータが書き込み回路が構成される。このデータ書き込み回路には、メモリセルに対してデータの誤送込を防ぐためのデータ書き込み回路が備えられる。そして、このデータ書き込み回路によって、誤送込によって誤記録されたデータを削除する。また、誤送込によって誤記録されたデータを削除するためには、データ書き込み回路によってデータを書き込む際にデータ書き込み回路を起動する制御信号を遅延回路において、誤送込2回記録のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込み回路を起動する際にデータ書き込み回路を遅延する。

【0 0 1 19】

【誤題を解消するための手段】上記課題を解決するためには、メモリセルを構成するトランジスタの第1電極に対して所定の電流を供給する第1電極電位発生回路を備えたデータ書き込み回路が提供される。そして、このデータ書き込み回路によって、誤送込によって誤記録された第1電極電位発生回路によって第1電極の電位を遅延する。

における書き込み電位V_Rからグランド電位GNDに対応する電流の流れ込みは低減され、結果的にデータの誤書込防止が可能となる。

【0.04.2】ところで、第2の実施の形態にかかるデータ書き込み回路に対して、第1の実施の形態にかかるデータ書き込み回路1に備えられたセルドライバ4-*n*に回路3を適用することが可能である。この場合のデータ書き込み回路の動作について図6に基づいて説明する。

【0.04.3】ここで、セルドライバ電位発生回路3に備えられた遅延回路5およびサブアレイドライバ4-*n*に備えられた遅延回路7によって、データ書き込み前のセルドライバ電位V_mc dの立ち上がり時間とサブアレイ選択信号A S L nの電位の立ち上がり時間に比べて短くなるように設定する。この調整によって以下の効果がもたらされる。

【0.04.4】かかる調整がなされた場合のサブアレイ選択信号A S L nの電位およびセルドライバ電位D L nの電位の特性を図6に示す。セルドライバ電位D L nの電位は、セルドライバ電位V_mc dが(選択信号A S L nの電位) - (セルドライバ電位T₀)でセルドライバ電位D L nの電位のスレッショルド電位)に達するまではセルドライイン電位T₀によって制御され、それ以上になるとサブアレイドライバ4-*n*によって制御されることとなる。すなわち、セルドライバ電位D L nの電位の立ち上がり時間を2段階に調整することが可能となる。具体的には、まずメモリセルMC0～MCn/mにおいてポートエクタントが生成されフローティングゲートへの注入が起きるまではセルドライバ電位D L nの電位の立ち上がり時間を短くし、その後アバンシエングが生じる直前から緩やかに立ち上げることとする。かかる調整によれば、メモリセルMC0～MCn/mに対して、データの誤書き込みが抑制されることとともに、データの書き込み速度の高速化にも貢献することになる。

【0.04.5】(第3の実施の形態) 第3の実施の形態にかかるデータ書き込み回路は、従来のデータ書き込み回路10.1にに対してサブアレイドライバ10.4～10.10.4～10.4がサブアレイドライバ8～0～8～nに置き換えた構成を行するものであり、その他の構成は、略同とされている。

【0.04.6】また、サブアレイドライバ8～0～8～nは、相互に駆動同一の構成を有しており、ここでは、これらの構成・機能についてサブアレイドライバ8～nを用いて説明する。このサブアレイドライバ8～nは、サブアレイドライバ4-*n*に対して、インバータゲート1.2がNANDゲート9に置き換えられた構成を行するものである。すなわち、サブアレイドライバ8～nは、図7に示すように、NANDゲート9、インバータゲート1.2、2個のDトランジスタ1.2.3、1.2.4、および遅延回路7から構成されている。

【0.04.7】NANDゲート9の一方の入力端子には、

込みは、より確実に防止され、データの誤認込が防止されることになる。

[0.05.1] ところで、上述のサブアレイドライバB₈ – 0 ~ 8 – nにおいて、NANDゲート9に入力されるブリセット信号P R S Tに代えて、図9に示すように、書き込み禁止信号/P I N I IIを用いるようにしてよい。この書き込み禁止信号/P I N I IIは、半導体記憶装置に対してデータの書き込みが禁止される間は、1レベルとされる信号であり、これによってサブアレイ選択信号線H A S L nの電位は、データの書き込みが禁止されている間グランド電位GNDに保持されることになる。その後、データの書き込みが開始されたときにサブアレイ選択信号H A S L nの電位、およびそれに伴ってセルドレンイン線D L nの電位は、既やかに立ち上っていくことになる。したがって、選択されていないメモリセルへのデータの誤計き込みは防止されることになる。また、サブアレイドライバB₈ – nに対して、書き込み禁止信号/P I N I IIを適用することによって、サブアレイ選択信号線H A S L nの電位の立ち上がり開始がデータ書き込み開始に一致することになるため、データ書き込みに割り当てる時間を作動的に利用することができる。

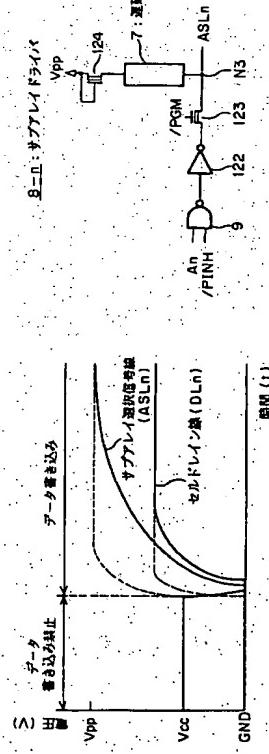
[0.05.2] (第4の実施の形態) 第4の実施の形態にかかるデータ書き込み回路は、従来のデータ書き込み回路10 1にに対して、セルドレンイン電位発生回路10 3がセルドレンイン電位発生回路11に置き換えた構成を有するものである。

[0.05.3] 以下、セルドレンイン電位発生回路11について、図11を参照しつつ説明する。セルドレンイン電位発生回路11は、従来のデータ書き込み回路10 1に備えられたセルドレンイン電位発生回路10 3に対して、延面回路13が追加された構成とされている。すなわち、1個のNチャネル型トランジスタ11 1、6個のNチャネル型トランジスタ11 2、11 3、11 4、11 5、11 6、11 7、および延面回路13から構成されている。なお、セルドレンイン電位発生回路11に備えられた延面回路13については、抵抗素子や容積素子、またはそれらの組み合わせであるいわゆるC R回路により構成される。

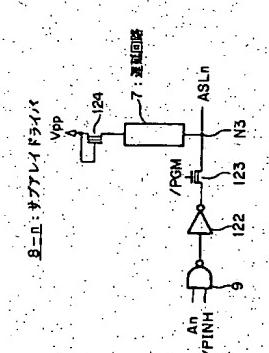
[0.05.4] Nチャネル型トランジスタ11 1のソース電極には書き込み電位V D P (例えば、1.0 V)が印加され、データ電極にはグランド電位GNDが印加され、ドレン電極は、ノードN 11に接続されている。一方、Nチャネル型トランジスタ11 2、11 3、11 4は、直列3段のダイオード結合を構成しており、1段目のカソードにはノードN 11が接続され、3段目のアーチドには電源電位V C C (例えば、4 V)が印加されている。すなわち、Nチャネル型トランジスタ11 2、11 3、11 4は、昇圧電位発生回路としての役割を果すものである。

[0.05.5] Nチャネル型トランジスタ11 5は、データ書き込み用記憶装置において、本発明によれば、メモリセルに対するデータの書き込み開始時において、

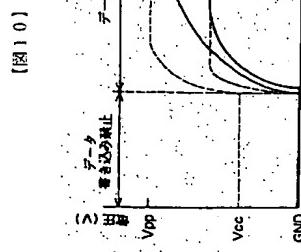
[図 8]



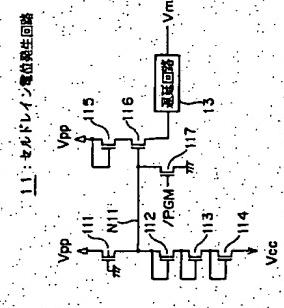
[図 9]



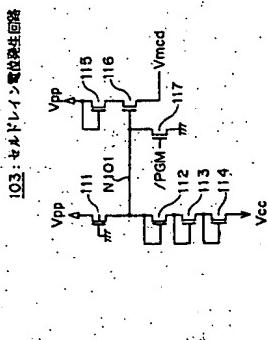
[図 10]



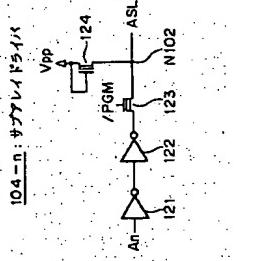
[図 11]



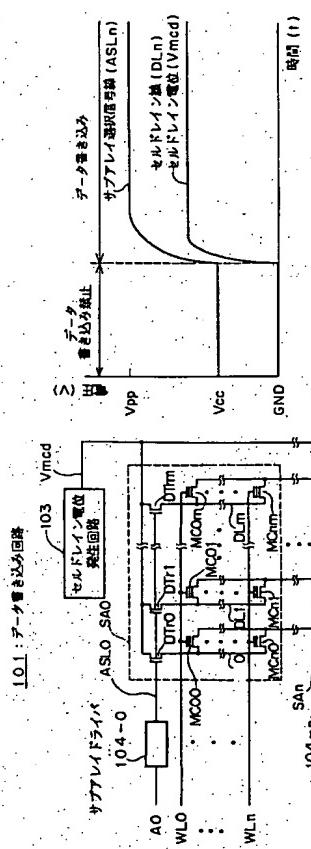
[図 13]



[図 14]



[図 12]



[図 15]

